



B3822-01

⑭ 日本国特許庁 (JP)

① 特許出願公開

⑫ 公開特許公報 (A)

昭55-129387

⑤ Int. Cl.<sup>3</sup>

G 09 G 1/02  
3/20

識別記号

庁内整理番号

7013-5C  
7250-5C

⑬ 公開 昭和55年(1980)10月7日

発明の数 1  
審査請求 有

(全 7 頁)

④ 記憶素子

横須賀市武1丁目2356番地日本  
電信電話公社横須賀電気通信研  
究所内

① 特 願 昭54-36414

② 出 願 昭54(1979)3月28日

⑦ 発 明 者 末永康仁

① 出 願 人 日本電信電話公社

③ 代 理 人 弁理士 鈴木誠

明 細 書

発明の名称

記憶素子

特許請求の範囲

1. 各ノモリセルが前記配列に対応しているノモリアレイと、前記ノモリアレイ中の書き込み/読出しエリアを指定するエリア指定用レジスタと、シリアルデータをパラレルデータに変換するシリアル-パラレル変換回路と、パラレルデータをシリアルデータに変換するパラレル-シリアル変換回路とを内蔵し、外部から入力されるシリアルデータをパラレルデータに変換しつつ、前記ノモリアレイ中の指定エリアにラスタ走査形式で書き込み、又、逆に前記ノモリアレイ中の指定エリアの内容をラスタ走査形式でパラレルデータとして読み出し、これをシリアルデータに変換して外部へ出力することを特徴とする記憶素子。

2. 特許請求の範囲第1項記載のノモリ素子において、前記シリアル-パラレル変換回路及びパ

ラレル-シリアル変換回路の機能を一つの回路で兼ねるようにしたことを特徴とする記憶素子、

3. 特許請求の範囲第1項記載の記憶素子において、前記エリア指定用レジスタを複数個内蔵し、前記ノモリアレイ中の互いに異なるエリアに対する書き込み動作、読出し動作の一方あるいは両方を並行的に行うことを特徴とする記憶素子、
4. 特許請求の範囲第1項記載の記憶素子において、前記エリア指定用レジスタ、シリアル-パラレル変換回路、パラレル-シリアル変換回路等の他に演算回路と該演算回路用データレジスタを内蔵し、外部より入力されるデータに対して演算を施した後にノモリアレイ中に書き込み、又、前記ノモリアレイ中から読み出されたデータに対して演算を施した後に外部へ出力することを特徴とする記憶素子。

発明の詳細な説明

本発明は、画像ノモリを構成するのに適し、かつ、通常のノモリとしても使用可能な記憶素子に関するものである。

(1)

(2)

近年LSI技術の発達とともに、1チップで64 Kビットを超える記憶容量を有するメモリLSIが実現可能ようになり、今後さらに高集積化が進むものと考えられる。一方、画像メモリを構成する場合、従来は多数のメモリICと該メモリの書き込み/読出しを制御するための数百個の標準ICから成る周辺回路とを組み合わせる方法をとっており、この方法をそのまま踏襲して単にメモリICを大容量のメモリLSIに置き替えるとする、周辺回路及びデータの書き込み/読出しに関して次のような問題を生じる。

はじめ周辺回路について説明すると、この周辺回路は、XおよびYアドレスによつて指定される1点の画像データの書き込み/読出し(以下、これをポイント書き込み/読出しと呼ぶ)、あるいは、指定された長方形エリア内の画像データの高速シリアル書き込み/読出し(以下、これをエリア書き込み/読出しと呼ぶ)等を実行するものである。この周辺回路の画像メモリ装置全体の中で占める割合は、従来のように1~4 Kビット/チップ程度

(3)

のメモリICを用いる場合はそれほど大きなものではなかつた。例えば、 $1024 \times 1024$ ドット、8ビット/ドット合計1メガバイトの画像メモリを構成する場合、1 Kビット素子ならば8192個、4 Kビット素子でも2048個のメモリICが必要であるため、周辺回路に数百個の標準ICを用いたとしてもそれは全く目立たなかつた。しかるに、集積度の高いメモリLSIを用いる場合には、事情は異なってくる。例えば、64 Kビット/チップあるいは256 Kビット/チップの素子を用いるならば、上記の例と同じ1メガバイトの画像メモリは、わずか128個あるいは32個のメモリLSIで構成されることになり、数百個の標準ICから成る周辺回路の方がはるかに大きなものとなつてしまふわけである。

次にデータの書き込み/読出しについてであるが、画像入出力速度にはきわめて高速なデータ入出力を要求するものがあり、例えば、 $512 \times 512$ ドット、32ビット/ドット(Red, Green, Blue, Control各8ビット)のカラー画像ディスプレイ

(4)

では、1ドット分32ビットのデータを数10 ns間隔で送らなければならない。これに対し、大容量メモリICの動作速度は通常数100 nsであるためどうしてもメモリICから並列にデータを読み出し、パラレル-シリアル変換を施してからカラー画像ディスプレイに送る必要がある。上記の例では $32 \times (\text{数}100 / \text{数}10) = 320$ ビットものデータを数100 ns毎に読み出す必要があり、また、320ビット分のパラレル-シリアル変換回路を周辺回路中に組み込む必要がある。高速書き込みの場合には、逆にシリアル-パラレル変換が必要となる。この際、1 Kビット/チップないし4 Kビット/チップのメモリICを多数用いた場合には、320ビットの並列読取り/書き込みは容易であるが、大容量のメモリLSIを少数個用いる場合には注意を要する。例えば、256 Kビット/チップの素子を32個用いて上記の1メガバイトを構成した場合、各256 Kビットメモリ素子は、少なくとも10ビットの並列読取り/書き込みが可能なるものでなければならず、LSIのピン数が多くなつてしまうこと

(5)

となる。

本発明は、これらの欠点を除去するため、パラレル-シリアル変換、シリアル-パラレル変換など、従来の周辺回路によつて行なつていた機能を、画像メモリLSIの中に組み入れてしまうことにより、大容量メモリLSIの画像メモリへの適用とデータ線数の削減による装置の小形化、経済化を同時に実現するものである。以下、本発明を断面について詳細に説明する。

第1図は本発明のメモリLSIの基本構成例であつて、メモリアレイ100をはじめとして、シリアル-パラレル変換回路101、エリア内書き込み回路102、長方形エリア指定用レジスタ103、パラレル-シリアル変換回路104、エリア内読出回路105、ポイント書き込み回路106、ポイント読出回路107等の周辺回路を1点線線で示すLSIの中に直列組み入れたものである。108はシリアルデータ入力端子、109はシリアルデータ出力端子、110はシリアル入力用クロックの入力端子、111はシリアル出力用クロックの入力端子、112はポイントデ

(6)

ータ入力端子、113はポイントデータ出力端子、114はアドレス入力端子である。

第1図の動作は次の通りである。まず、メモリアレイ100にはX、Yなる2次元のアドレスが与えられており、各メモリセルは画素に対応しているとする。このメモリアレイ100の中のアドレス $X_1, Y_1, X_2, Y_2$ で規定される領域の長方形エリア内にラスタ走査式に連続的にデータを書き込む場合には、最初に $X_1, Y_1, X_2, Y_2$ のアドレスデータをアドレス入力端子114より順次入力し、長方形エリア指定用レジスタ103に格納する。次に、シリアルデータを端子108から、入力用クロックを端子110から入力し、シリアル-パラレル変換回路101によつて上記シリアルデータをロビット毎のパラレルデータに直してはエリア内書き込み回路102に送る。エリア内書き込み回路102では長方形エリア指定レジスタ103の内容を参照しつつ、メモリアレイ100の指定された長方形エリア内に前記パラレルデータをラスタ走査式に書き込んで行く。また、長方形エリア内のデータを連続的に

(7)

読み出す場合には、まず、書き込みの場合と同様に長方形エリア指定レジスタ103にアドレス情報をセフトしたのち、エリア内読出回路105によつて長方形エリア内のデータをラスタ走査式にロビットずつ読み出し、パラレル-シリアル変換回路104に送る。パラレル-シリアル変換回路104では、これをシリアルデータに変換し、外部から端子111を通じて入力されるシリアル出力用クロックに従つてシリアルデータ出力端子109に出力する。

次に、アドレスX、Yで指定される1点にデータを書き込む場合には、従来のランダムアクセスメモリICと同様に、アドレスデータX、Yを端子114から、書き込みデータを端子112からそれぞれ入力し、ポイント書き込み回路106によつてメモリアレイ100内の1点に書き込めばよい。逆にメモリアレイ100の1点のデータを読み取る場合には、同様にしてアドレスデータX、Yを端子114から入力し、ポイント読取回路107によつて1点のデータを読み取り、ポイントデータ出力端子113に

(8)

出力すればよい。

第2図は複数個の長方形エリアレジスタをメモリセル1内に設けて互いに異なる長方形エリア内の高速シリアル書き込み、高速シリアル読出し、およびその両方を並列的に行うようにした実施例である。即ち、シリアル-パラレル変換回路101、エリア内書き込み回路102の組に対して書き込み長方形エリア指定用レジスタ201があり、パラレル-シリアル変換回路104、エリア内読出回路105の組に対して読出長方形エリア指定用レジスタ202があり、更に、シリアル-パラレル変換回路206、エリア内書き込み回路205の組に対して書き込み長方形エリア指定用レジスタ203が、パラレル-シリアル変換回路208、エリア内読出回路207の組に対して読出長方形エリア指定用レジスタ204がある。108、209はシリアルデータ入力端子、110、210はシリアル入力用クロック端子、109、211はシリアルデータ出力端子、111、212はシリアル出力用クロック端子、114はアドレス入力端子である。なお、第1図で述べたポイント書き込み回路106、ポ

(9)

イント読出回路107を組み込むことも可能であるが、第2図では省略してある。

第2図においてシリアルデータ入力および出力の動作自体は第1図の場合と全く同じであるが、第2図では、それぞれ2系統(合計4系統)ずつ用意されている入力と出力をタイムシェアリングで同時に実行できる点がある。

しかも、第1図では長方形エリア指定レジスタ103が1セフト用意されているだけであるのに対し、第2図では、書き込み用201と202、読取用に203と204の合計4セフトが用意されているため、それぞれ任意の長方形エリア(例えば、第2図のエリア1、2、3、4)を指定して入力または出力を実行できる。なお、第2図の端子を第1図の端子と比較すると、シリアル入出力のための4つの端子209、210、211、212が増えているだけである。

こゝで、2系統の入力と2系統の出力の使用法としては次のようなことが考えられる。例えば、データ入力端子108、入力用クロック端子110、

(10)

シリアル-パラレル変換回路 101、エリア内番込回路 102、番込長方形エリア指定用レジスタ 201 の組で計算機からメモリ L S I へシリアルデータを入力し、データ出力端子 109、出力用クロック端子 111、パラレル-シリアル変換回路 104、エリア内読出回路 105、読出長方形エリア指定用レジスタ 202 の組でメモリ L S I から計算機へシリアルデータを出力する。又、データ入力端子 209、入力用クロック端子 210、シリアル-パラレル変換回路 206、エリア内番込回路 205、番込長方形エリア指定用レジスタ 203 の組を用いてテレビカメラからメモリ L S I へシリアルデータを入力し、データ出力端子 211、出力用クロック端子 212、パラレル-シリアル変換回路 208、エリア内読出回路 207、読出長方形エリア指定用レジスタ 204 の組を用いてメモリ L S I からテレビモニタへシリアルデータを出力する。特にダイナミックメモリの場合には、一定時間内にメモリをリフレッシュする必要があるため、メモリアレイ 100 の内容をテレビモニタへ常時出力しておくことによつて、

(11)

タの入出力を行うことになる。ただし、第 3 図では省略したが、シリアル入力または出力のためのクロックおよびアドレス情報の与え方は第 1 図の場合と同じである。

第 4 図は第 1 図の構成の他に、更に演算回路 401、402、403、404 及びデータレジスタ 405、406、407、408 を内蔵して、外部より入力されるデータに対して演算を施した後にメモリアレイに書き込む機能、およびメモリアレイから読み出されたデータに対して同じく演算を施した後に外部へ出力する機能を有するようにした実施例である。即ち、シリアルデータ入力端子 108 から入力されるデータに対し演算回路 401 によつて演算を行い、その結果をシリアル-パラレル変換回路 101、エリア内番込回路 102 を通してメモリアレイ 100 に書き込む。逆にメモリアレイ 100 からエリア内読出回路 105 とパラレル-シリアル変換回路 104 を通して読み出したデータに対し、演算回路 402 によつて演算を行い、その結果をシリアルデータ出力端子 109 に出力する。ランダムデータの入出力

自動的にリフレッシュ機能をもたせることができる。ただし、その場合は必ず一定時間以内にメモリアレイ 100 の全てのメモリアルセルがリフレッシュされるように、テレビモニタへの出力動作を優先して実行する必要がある。その際の入出力動作は、該テレビモニタへの出力動作の間をぬつて実行されることになる。

第 1 図においては、1 画素が 1 ビットに対応するメモリアレイを内蔵したメモリ L S I を示したが、1 画素あたり複数ビットを有するメモリアレイを内蔵したメモリ L S I を考えることも可能である。第 3 図は 1 画素あたり 4 ビットのメモリアルセルを有するメモリ L S I の構成例を示したもので、この場合には、シリアルデータ入力端子 108、シリアルデータ出力端子 109、ランダムデータ入力端子 112、ランダムデータ出力端子 113、シリアル-パラレル変換回路 101、パラレル-シリアル変換回路 104、エリア内番込回路 102、エリア内読出回路、およびメモリアレイ 100 などは、それぞれ全て 4 倍になり、4 ビットを単位とするデー

62

の場合も同様であつて、端子 112 から入力データに対する演算回路 403 の演算結果をポイント番込回路 106 によつてメモリアレイ 100 へ書き込み、また、メモリアレイ 100 からポイント読出回路 107 により読出したデータに対する演算回路 404 の演算結果を端子 113 に出力する。なお、多くの場合、演算回路 401 ~ 404 による演算には、データレジスタ 405 ~ 408 の内容が参照される。従つて、あらかじめデータレジスタ 105 ~ 108 に参照用のデータを端子 112 や 108 から入力して格納しておく必要がある。また、演算回路 101 ~ 104 およびデータレジスタ 405 ~ 408 の一部もしくは全部を共用することも考えられる。

上記演算回路 401 ~ 404 の演算の種類としては、AND、OR、NOT、NOR、NAND、EOR 等の論理演算や、シフト、加減乗除などの算術演算が考えられる。これらは特に、第 3 図に示したような 1 画素あたり 4 ビットの演算を有する構成のメモリアレイの場合に有効であり、メモリ L S I 自身にかなりの演算能力をもたせることが可能となる。

63

63

なお、図示の実施例では、シリアル—パラレル変換回路とパラレル—シリアル変換回路はそれぞれ別々に用意されるとしたが、両者の機能を同一の回路（シリアル—パラレル相互変換回路）で兼ねるようにし、データをメモリアレイに書き込む場合にはシリアル—パラレル変換回路として動作させ、メモリアレイからデータを読み出す場合はパラレル—シリアル変換回路として動作させることも可能である。

又、実施例では、メモリアレイの中にラスタ走査式に系統的にデータを書き込むエリアを長方形と規定したが、勿論、これも一般的には長方形である必要はない。

以上説明したように、本発明のメモリシステムは、これを用いて画像メモリを構成する際の周辺回路がほとんど不要であり、しかも、通常のメモリとしても使用できることから、同一規格での大量生産が可能であり、テレビ画像用のフレームメモリ、ファクシミリ画像格納用メモリ、画像処理システム用メモリ等に広く適用できるという利点がある。

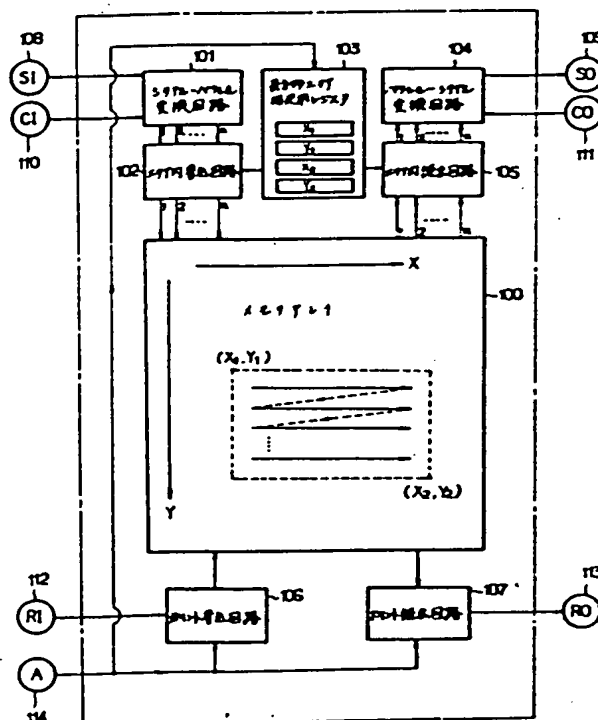
#### 図面の簡単な説明

第1図は本発明によるメモリシステムの基本構成例を示す図、第2図は複数個のエリア指定用レジスタを内蔵した本発明によるメモリシステムの一実施例を示す図、第3図は1画素あたり4ビットのメモリセルを有する本発明の他の実施例を示す図、第4図は演算回路を内蔵した本発明の更に他の実施例を示す図である。

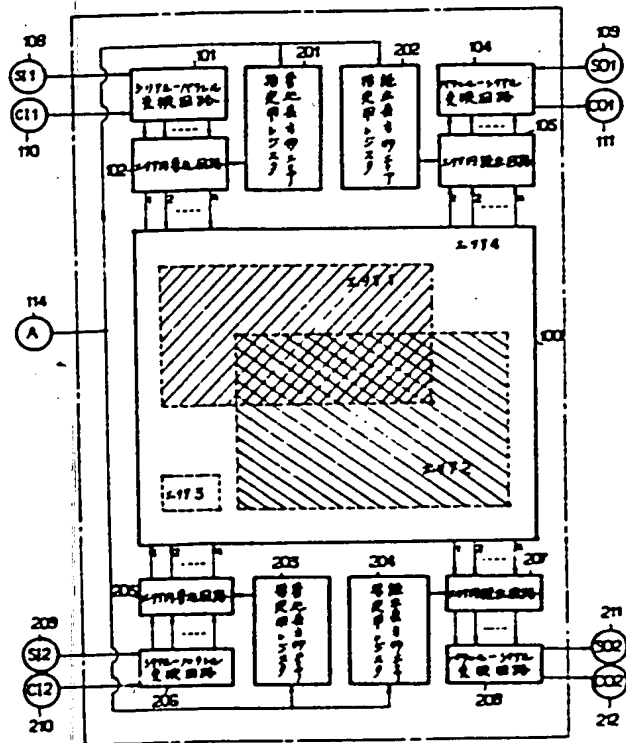
100—メモリアレイ、 101、206—シリアル—パラレル変換回路、 102、205—エリア内書き込み回路、 103、201、202、203、204—長方形エリア指定用レジスタ、 104、208—パラレル—シリアル変換回路、 105、207—エリア内読み出し回路、 106—ポイント書き込み回路、 107—ポイント読み出し回路、 401、402、403、404—演算回路、 405、406、407、408—データレジスタ。

代理人 弁理士 鈴木 滋

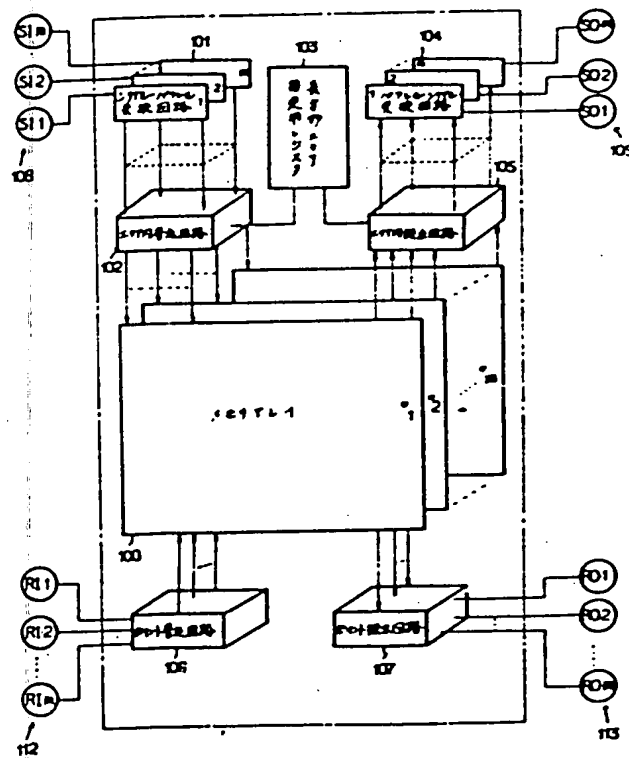
第1図



第 2 圖



### 第 3 図



第 4 図

